

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-30104

(43)公開日 平成7年(1995)1月31日

(51)Int.Cl.⁸

H 0 1 L 29/78

識別記号

庁内整理番号

F I

技術表示箇所

7514-4M

H 0 1 L 29/ 78

3 0 1 V

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21)出願番号 特願平5-169326

(22)出願日 平成5年(1993)7月8日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 高 木 信 一

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

(72)発明者 島 海 明

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

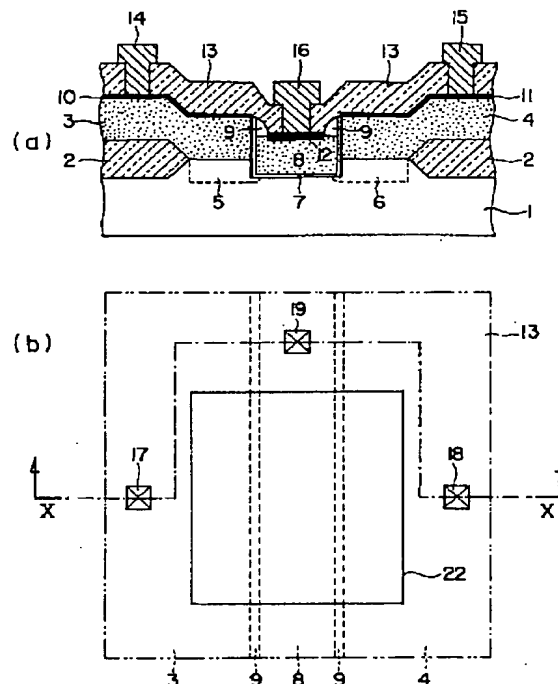
(74)代理人 弁理士 佐藤 一雄 (外3名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】 (修正有)

【目的】 素子寸法の縮小が可能で、かつ、ゲート抵抗、ソース抵抗、ドレイン抵抗等の寄生抵抗を低減することが可能な半導体装置及びその製造方法を提供する。

【構成】 極微細のCONCAVE MOSFETでは、溝部(凹部)の開口が極めて狭くなる。この溝部は一般にエッチングによって形成されるが、これにゲート酸化を行なった後に溝が埋まるようにポリシリコンを堆積し、さらに、基板全面をエッチバックした場合でもエッチング条件を選ばなければ、ポリシリコンを電極として溝の内部のみに残すことができ、かつ、エッチング時間を適切に選ぶならば、溝の縁部の上端よりもポリシリコンの上面を低くすることができる。本発明はこのような構造にすることによって、溝の内側に側壁絶縁膜9を形成することを可能にすると共に、この側壁絶縁膜によりシリサイド工程においてゲート電極8上のシリサイド12と、ソース電極3及びドレイン電極4の上の各シリサイド10、11とを物理的、電気的に分離させる。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】表面部にソース領域及びドレイン領域が離隔して形成され、これらの領域の中間をチャンネル領域とする基板半導体と、

前記ソース領域に積層されたソース電極及び前記ドレイン領域に積層されたドレイン電極と、

前記チャンネル領域を挟んで対向する前記ソース電極及びドレイン電極の各側面、並びに前記チャンネル領域の表面に連続して形成されたゲート絶縁膜と、

表面が前記ソース電極及びドレイン電極のいずれの表面よりも低くなるように前記ソース電極及びドレイン電極間の

前記ゲート絶縁膜上に形成されたゲート電極と、

前記ソース電極、ドレイン電極、及びゲート電極の各表面に形成されたシリサイド膜と、

対向する前記ソース電極及びドレイン電極の各側面に形成され、前記ゲート電極上のシリサイド膜を、前記ドレイン電極及びゲート電極上の各シリサイド膜から分離する側壁絶縁膜と、

を備えた半導体装置。

【請求項2】基板半導体の表面に、不純物を含有する第1のシリコン膜を形成する工程と、

前記第1のシリコン膜及び前記基板半導体のうち、少なくとも前記第1のシリコン膜を部分的にエッチングすることにより、底面に前記基板半導体が露呈し、かつ、底内部をチャンネル領域とする溝を形成する工程と、

前記溝の内面及び前記第1のシリコン膜の表面に第1の絶縁膜を形成する工程と、

前記第1のシリコン膜中の不純物を前記基板半導体に拡散させてソース領域及びドレイン領域を形成する工程と、

前記溝に対応する部位が、この溝の側部の前記第1のシリコン膜よりも高くなるように、前記第1の絶縁膜上に第2のシリコン膜を堆積する工程と、

ゲート電極として前記溝の内部のみに前記第2のシリコン膜が残り、かつ、表面の高さが前記溝の側部の前記第1のシリコン膜の表面よりも低くなるように前記第2のシリコン膜をエッチバックする工程と、

前記第2のシリコン膜、及び前記第1の絶縁膜の各表面に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜が側壁絶縁膜として溝の側壁のみに残るようにエッチバックする工程と、

前記第1のシリコン膜、及び前記第2のシリコン膜の各表面にシリサイドを形成するための金属を堆積する工程と、

前記金属及び前記第1のシリコン間と、前記金属及び前記第2のシリコン間とにそれぞれシリサイド反応を起こさせる工程と、

前記第2の絶縁膜上に形成された未反応金属を除去する工程と、

を有する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は超小型の半導体装置に係り、特にMOS型電界効果トランジスタ（以下、MOSFETと言う）に関する。

【0002】

【従来の技術】Si MOS集積回路の微細化は、MOSFETの高駆動力化、及びチャンネル効果の抑制の両方を達成する必要がある。このうち、高駆動力化にはチャンネル長の短縮が極めて有効である。しかし、チャンネル長が0.1 μ m近傍になると、従来のデバイススケールリング則で用いられていた、基板不純物の高濃度化、ゲート酸化膜の薄膜化、接合深さの短縮化に物理的な限界があるために、短チャンネル効果を抑えることが難しくなる。特に、ソース領域、ドレイン領域には寄生抵抗を低減するためにシリサイド等の金属を張り付けることが必須になるため、接合深さの短縮が極めて難しくなる。

【0003】この難点を克服するために、基板をエッチングして形成された溝の底内部をチャンネル領域とすることにより、このチャンネル領域をソース領域及びドレイン領域よりも位置的に低い部分に形成し、チャンネル部分から見た実効的接合長さを浅くする、いわゆる、CONCAVE MOSFETが提案されている。

【0004】図5はこの種のMOSFETの縦断面図である。同図において、基板半導体1上の素子分離絶縁膜2で囲まれた領域の中心部が掘下げられており、その底内部をチャンネル領域としてその一方の側部にソース領域5が、他方の側部にドレイン領域6がそれぞれ形成されている。そして、ソース領域5の上面にはソース電極3が、ドレイン領域6の上面にはドレイン電極4がそれぞれ素子分離絶縁膜2に乗上げるように形成されており、溝の内部にはゲート絶縁膜7を介してゲート電極8が形成されている。また、ソース電極3、ドレイン電極4及びゲート電極8上に層間絶縁膜13が積層されると共に、この層間絶縁膜13に穿設したコンタクト孔を通してソース金属電極14、ドレイン金属電極15及びゲート金属電極16が導出されている。

【0005】

【発明が解決しようとする課題】図5に示した従来のMOSFETは、基板を掘込むことによってチャンネル領域をソース領域及びドレイン領域よりも位置的に低い位置に形成したので、短チャンネル効果の抑制に有効である。

【0006】しかし、この従来のMOSFETにあっては、溝部（凹部）のチャンネル領域を形成した後、リソグラフィ技術によってゲート電極を形成しているために、マスク合わせの余裕分だけゲート電極領域がチャンネル領域より広くなってしまい、素子面積が大きくなってしまおうという問題があった。

【0007】また、これに付随して寄生抵抗を低減するべく、ソース電極3及びドレイン電極4上にシリサイド

を形成しようとしても、マスク合わせの余裕分に相当するソース電極3及びドレイン電極4上にゲート電極8が置かれているために、シリサイドを形成できないという問題もあった。

【0008】本発明は上記の問題点を解決するためになされたもので、素子寸法の縮小が可能で、かつ、ゲート抵抗、ソース抵抗、ドレイン抵抗等の寄生抵抗を低減することが可能な半導体装置及びその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】請求項1に記載の半導体装置は、表面部にソース領域及びドレイン領域が離隔して形成され、これらの領域の中間をチャンネル領域とする基板半導体と、ソース領域に積層されたソース電極及びドレイン領域に積層されたドレイン電極と、チャンネル領域を挟んで対向するソース電極及びドレイン電極の各側面、並びにチャンネル領域の表面に連続して形成されたゲート絶縁膜と、表面がソース電極及びドレイン電極のいずれの表面よりも低くなるようにソース電極及びドレイン電極間のゲート絶縁膜上に形成されたゲート電極と、

ソース電極、ドレイン電極、及びゲート電極の各表面に形成されたシリサイド膜と、対向するソース電極及びドレイン電極の各側面に形成され、ゲート電極上のシリサイド膜を、ドレイン電極及びゲート電極上の各シリサイド膜から分離する側壁絶縁膜と、を備える。

【0010】請求項2に記載の半導体装置の製造方法は、基板半導体の表面に、不純物を含有する第1のシリコン膜を形成する工程と、第1のシリコン膜及び基板半導体のうち、少なくとも第1のシリコン膜を部分的にエッチングすることにより、底面に基板半導体が露呈し、かつ、底内部をチャンネル領域とする溝を形成する工程と、溝の内面及び第1のシリコン膜の表面に第1の絶縁膜を形成する工程と、第1のシリコン膜中の不純物を基板半導体に拡散させてソース領域及びドレイン領域を形成する工程と、溝に対応する部位が、この溝の側部の第1のシリコン膜よりも高くなるように、第1の絶縁膜上に第2のシリコン膜を堆積する工程と、ゲート電極として溝の内部のみに第2のシリコン膜が残り、かつ、表面の高さが溝の側部の第1のシリコン膜の表面よりも低くなるように第2のシリコン膜をエッチバックする工程と、第2のシリコン膜、及び第1の絶縁膜の各表面に第2の絶縁膜を形成する工程と、第2の絶縁膜が側壁絶縁膜として溝の側壁のみに残るようにエッチバックする工程と、第1のシリコン膜、及び第2のシリコン膜の各表面にシリサイドを形成するための金属を堆積する工程と、金属及び第1のシリコン間と、金属及び第2のシリコン間とにそれぞれシリサイド反応を起こさせる工程と、第2の絶縁膜上に形成された未反応金属を除去する工程と、を有する

【0011】

【作用】チャンネル長が $0.1\mu\text{m}$ 近傍の極微細のCONCAVE MOSFETでは、溝部（凹部）の開口が極めて狭くなる。この溝部は一般にエッチングによって形成されるが、発明者は、これにゲート酸化を行なった後に溝が埋まるようにポリシリコンを堆積し、さらに、基板全面をエッチバックした場合でもエッチング条件を選ぶならば、ポリシリコンを電極として溝の内部のみに残すことができ、かつ、エッチング時間を適切に選ぶならば、溝の縁部の上端よりもポリシリコンの上面を低くすることができることを確認した。

【0012】このような構造にすることによって、溝の内側に側壁絶縁膜を形成することが可能になる。この側壁絶縁膜は、次の自己整合シリサイド工程（シリサイド工程）においてゲート電極上のシリサイドと、ソース電極及びドレイン電極の上の各シリサイドとを物理的、電氣的に分離する役割を果たす。

【0013】この構造は、基板ウェハを上から見た時、ソース電極、ゲート電極及びドレイン電極が重なり合っているところがなく、リソグラフィ技術を用いた場合に必要であったマスク合わせの余裕分が不要になり、素子面積を縮小することができる。

【0014】また、この構造によれば、ソース電極及びドレイン電極上にそれぞれゲート電極端のぎりぎりまでシリサイドが形成されるので寄生抵抗を十分に低下させることができる。

【0015】

【実施例】以下、本発明を図面に示す実施例によって詳細に説明する。図1は本発明の一実施例の構成を示すもので、(b)は主要部の平面図、(a)はそのX-X矢視断面図である。図中、図5と同一の符号を付したものはそれぞれ同一の要素を示している。

【0016】このMOSFETは、P型の基板半導体1上に素子分離絶縁膜2が形成されている。素子分離絶縁膜2で挟まれた中間のチャンネル領域が掘下げられて、その一方の側部の上面にはソース電極3として、他方の側部の上面にはドレイン電極4としてそれぞれ多結晶シリコン膜が素子分離絶縁膜2に乗上げて堆積されており、その基板側には高濃度のn型にドーピングされたソース領域5と、ドレイン領域6とが形成されている。さらに、溝の内部にはゲート絶縁膜7を介して多結晶シリコン層が形成され、これがMOSFETのゲート電極8になっている。このゲート電極8の上面は、溝に隣接するソース電極3及びドレイン電極4の各上面よりも低く、このゲート電極8の上面にできる溝部の側壁にそれぞれ側壁絶縁膜9が形成されている。また、側壁絶縁膜9を挟むように、ソース電極3上にソースシリサイド層10が、ドレイン電極4上にドレインシリサイド層11が、ゲート電極8上にゲートシリサイド層12が形成されている。これらのシリサイド膜は、例えば、 TiSi_2 、 NiSi_2 、 CoSi_2 等となっている。さらに、これらのシリサイ

ド膜上に層間絶縁膜13が堆積され、これにソース電極コンタクト孔17、ドレイン電極コンタクト孔18及びゲート電極コンタクト孔19が穿設され、さらに、これらのコンタクト孔を貫通するようにソース金属電極14、ドレイン金属電極15及びゲート金属電極16が設けられている。これにより、図1(b)に示す素子領域22が縮小され、かつ、ゲート抵抗、ソース抵抗、ドレイン抵抗等の寄生抵抗を低減したnチャネルMOSFETが得られる。

【0017】このnチャネルMOSFETの製造方法を図2及び図3を用いて説明する。まず、通常のMOS型の集積回路と同様に、図2(a)に示した如く、基板半導体1に素子分離絶縁膜2を形成して素子分離を行なう。

【0018】次に、図2(b)に示した如く、基板の全表面に第1の多結晶シリコン層20を、LPCVD法(低圧気相堆積法)によって、 $0.1\mu\text{m}$ 程度堆積させ、続いて、多結晶シリコンのドーピングのために砒素イオンを 20keV 、 $5\times 10^{15}/\text{cm}^2$ の条件でイオン注入する。

【0019】次に、図2(c)に示した如く、チャネル領域となる部分の多結晶シリコン層20をリソグラフィ技術によりパターンニングし、RIE法(反応性イオンエッチング法)によりエッチングして、溝20aを形成する。この時、基板半導体1をも、最終的な結合深さと同じになるまで、すなわち、 $50\sim 100\text{nm}$ 程度エッチングする。これによって、一方の側部の多結晶シリコン層がソース電極3となり、他方の側部の多結晶シリコン層がドレイン電極4となる。

【0020】次に、図2(d)に示した如く、熱酸化により 5nm 程度のゲート絶縁膜7を形成し、続いて、基板表面全面に第2の多結晶シリコン層21をLPCVD法によって、 $0.3\sim 0.5\mu\text{m}$ 程度堆積させる。また、熱酸化時に、砒素イオンが注入されたソース電極3及びドレイン電極4から、砒素を基板側に拡散させて高不純物濃度のソース領域5及びドレイン領域6を形成する。なお、ゲート絶縁膜7は熱酸化法でなくCVD(Chemical Vapor Deposition)によって形成することができ、さらに、ゲート絶縁膜7として SiO_2 だけでなく、 Si_3N_4 、 Ta_2O_5 、 TiSrO_3 、PZT等の高誘電率膜を用いてもよい。

【0021】次に、図3(a)に示した如く、第2の多結晶シリコン層21をエッチバックし、溝部のみに残す。すなわち、ゲート電極8を溝部に埋め込む。ここで、エッチング時間を適切に選ぶことによって、第2の多結晶シリコン層21の上面を、溝に隣接するソース電極3及びドレイン電極4の上面より約 $20\sim 40\text{nm}$ 程度下にくるようにエッチングする。

【0022】次に、LPCVD法によって表面部全体にシリコン窒化膜を堆積した後、エッチバックして、図3(b)に示した如く、溝の側壁のみにシリコン窒化膜を残し、側壁絶縁膜9を形成する。

【0023】次に、図3(c)に示した如く、ウェットエッチングにより、ソース電極3及びドレイン電極4上のゲート絶縁膜7を除去し、続いて、スパッタリング法により、Tiを 20nm 堆積した後、 800°C 程度に急速加熱を行なって、シリサイドとしての TiSi_2 を形成する。その後、ウェットエッチングにより、シリコン窒化膜上のチタン膜を除去する。

【0024】次に、図1(b)に示した如く、層間絶縁膜を堆積してソース電極コンタクト孔17、ドレイン電極コンタクト孔18、ゲート電極コンタクト孔19を開口した後、アルミニウムによりソース金属電極14、ドレイン金属電極15、ゲート金属電極16を形成して、図1(a)に示すnチャネルMOSFETが得られる。

【0025】なお、上記実施例では、幅が一様のゲート電極8上の層間絶縁膜13にゲート電極コンタクト孔19を形成したが、第1の多結晶シリコン層20のパターンニングに際して、図4に示す如く、素子領域22から外れた部位を広げれば、ゲート電極に対する開口部、すなわち、ゲート電極コンタクト孔19を広げることでもある。

【0026】また、上記実施例では、nチャネルMOSFETについて説明したが、pチャネルMOSFETも上述したと同様にして製造することができる。

【0027】さらにまた、上記実施例では基板半導体として通常シリコンウェハを用いたが、この代わりにSOI(Silicon On Insulator)基板を用い、MOSFETのチャネル領域を絶縁膜上の薄膜シリコン層内に形成してもよい。

【0028】さらに、第1のシリコン膜として、単結晶シリコンを用いてもよい。この場合は基板半導体1上から素子分離絶縁膜2上にかけて非晶質シリコンを堆積し、固相成長によりこの非晶質シリコン膜を単結晶化すれば良い。

【0029】また、同様に、第2シリコン膜として単結晶シリコンを用いてもよい。

【0030】またさらに、上記実施例では、最終的な結合深さと同じになるまで、基板半導体1をもエッチングするCONCAVE MOSFETについて説明したが、基板半導体1の元の表面と溝の底面が一致する構成のCONCAVE MOSFETにも本発明を適用できることは言うまでもない。

【0031】

【発明の効果】以上の説明によって明らかなように、本発明によれば、素子寸法の縮小が可能で、かつ、ゲート抵抗、ソース抵抗、ドレイン抵抗等の寄生抵抗を低減することが可能な半導体装置及びその製造方法を提供できる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の一実施例の構成を示す平面図及び断面図。

【図2】本発明に係る半導体装置の製造方法を説明する

ための工程図。

【図3】本発明に係る半導体装置の製造方法を説明するための工程図。

【図4】本発明に係る半導体装置の他の実施例の構成を示す平面図。

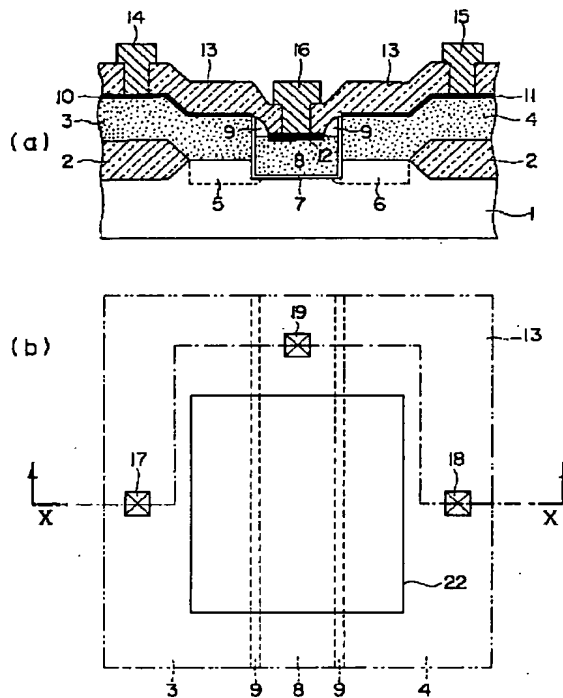
【図5】従来のCONCAVE MOSFETの構成を示す断面図。

【符号の説明】

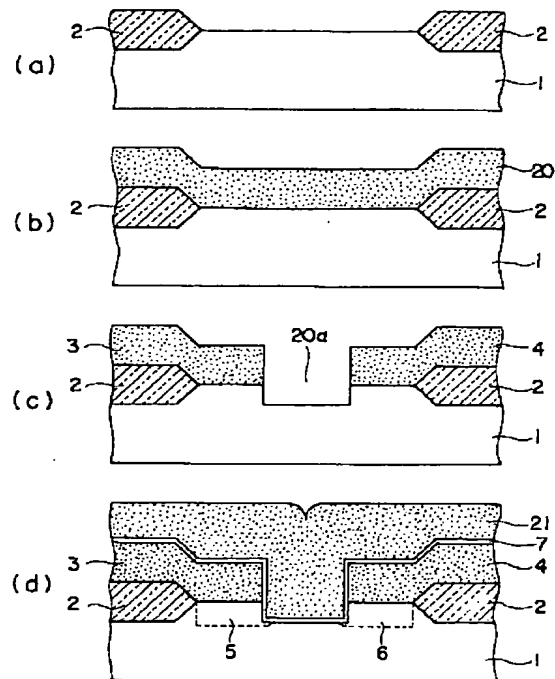
- 1 基板半導体
- 2 素子分離絶縁膜
- 3 ソース電極
- 4 ドレイン電極
- 5 ソース領域
- 6 ドレイン領域

- * 7 ゲート絶縁膜
- 8 ゲート電極
- 9 側壁絶縁膜
- 10 ソースシリサイド層
- 11 ドレインシリサイド層
- 12 ゲートシリサイド層
- 13 層間絶縁膜
- 14 ソース金属電極
- 15 ドレイン金属電極
- 10 16 ゲート金属電極
- 17 ソース電極コンタクト孔
- 18 ドレイン電極コンタクト孔
- 19 ゲート電極コンタクト孔
- * 22 素子領域

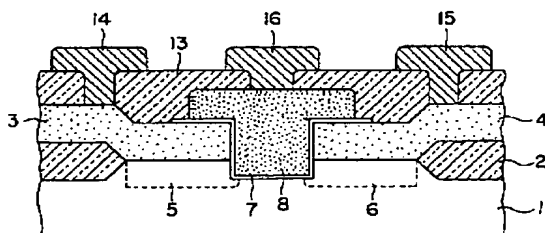
【図1】



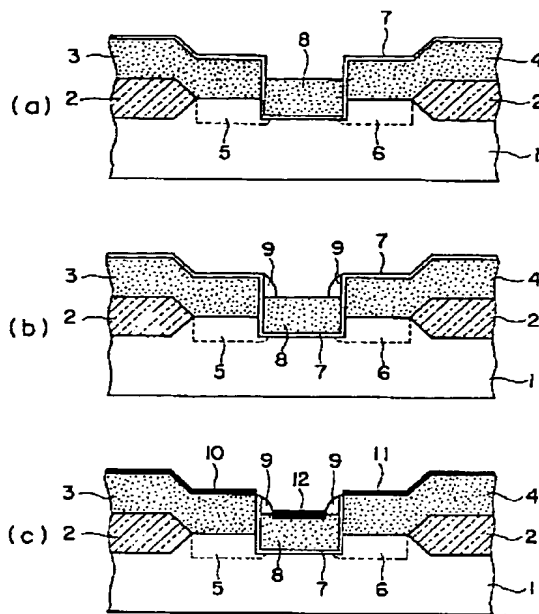
【図2】



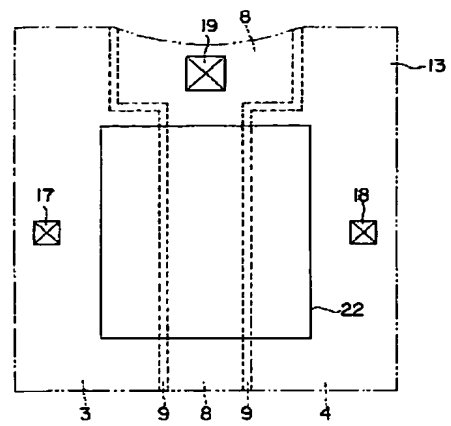
【図5】



【図3】



【図4】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-030104

(43)Date of publication of application : 31.01.1995

(51)Int.Cl.

H01L 29/78

(21)Application number : 05-169326

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 08.07.1993

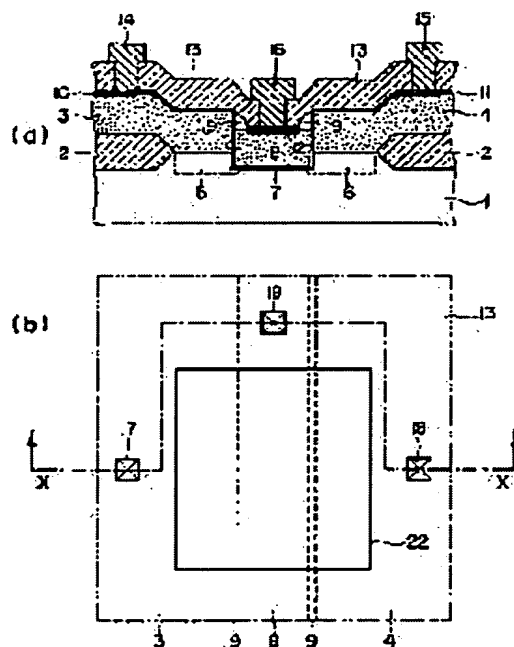
(72)Inventor : TAKAGI SHINICHI
CHOKAI AKIRA

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To provide a semiconductor device and its manufacturing method which can reduce the dimensions of an element as well as parasitic resistances such as gate resistance, source resistance, drain resistance, and the like.

CONSTITUTION: In a minute concave MOSFET, a groove opening becomes extremely narrow. This groove is normally formed by etching. After it is subjected to gate oxidation, polysilicon is deposited to fill the groove. Further, even when the entire surface of the substrate is treated with etchback, if etching conditions are to be selected, only the inside of the groove can be left with polysilicon as the electrode, and, if etching time is properly selected, the upper side of polysilicon can be made lower than the upper end of the periphery of the groove. By making the structure in this way, it is possible to form a sidewall insulating film 9 inside the groove, and with this sidewall insulating film, silicide 12 on the gate electrode 8 can be physically and electrically isolated from silicide 10 and 11 on a source electrode 3 and a drain electrode 4.



LEGAL STATUS

[Date of request for examination] 25.02.2000

[Date of sending the examiner's decision of rejection] 04.01.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.